

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-094198
 (43)Date of publication of application : 04.04.1990

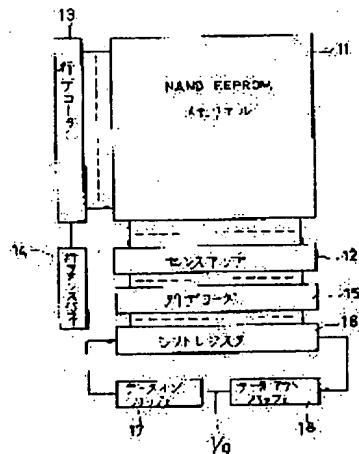
(51)Int.Cl. G11C 16/06
 G11C 17/12

(21)Application number : 63-246443 (71)Applicant : TOSHIBA CORP.
 (22)Date of filing : 30.09.1988 (72)Inventor : TANAKA TOMOHARU
 MOMOTOMI MASAKI
 IWATA YOSHIHISA
 ITO YASUO
 OHIRA HIDEKO
 MASUOKA FUJIO

(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

(57)Abstract:

PURPOSE: To perform data writing and readout at high speeds by providing a shift register for tentatively storing input or output data on the same substrate.
 CONSTITUTION: This nonvolatile semiconductor memory device is provided with an E2PROM array 11, sense amplifier 12, row decoder 13, row address buffer 14, column decoder 15, data-in buffer 17, and data-out buffer 18. In addition, a shift register 16 for tentatively storing input or output data is provided between the row decoder 15 and data-in buffer 17 and data-out buffer 18 and these circuits are formed on the same chip substrate in an integrated state. When the shift register 16 is formed on the E2PROM chip having a NAND cell constitution in an united state in such way, high-speed operations become possible.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

[of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

⑯ 公開特許公報 (A) 平2-94198

⑤Int.Cl.⁵
G 11 C 16/06

識別記号

庁内整理番号

⑬公開 平成2年(1990)4月4日

7341-5B G 11 C 17/00 309 A
7341-5B B※

番査請求 未請求 請求項の数 2 (全15頁)

④発明の名称 不揮発性半導体メモリ装置

②特 願 昭63-246443

②出 願 昭63(1988)9月30日

⑦発明者 田中 智晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦発明者 百富 正樹 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦発明者 岩田 佳久 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦発明者 伊藤 寧夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑦出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

④代理人 弁理士 鈴江 武彦 外2名

最終頁に続く

明細書

1. 発明の名称

不揮発性半導体メモリ装置

2. 特許請求の範囲

(1) 半導体基板上に、ゲート絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層と基板またはドレイン層との間の電荷の授受により電気的蓄積を可能としたメモリセルが複数個直列接続されて構成されたNANDセルが複数個マトリクス状に配列され、NANDセルの一端側のドレインがピット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成され、且つ前記基板上には前記第1のE² PROMの入力データまたは出力データを一時的に蓄えるシフトレジスタが搭載されることを特徴とする不揮発性半導体メモリ装置。

(2) 半導体基板上に、第1種の情報を格納する第1のE² PROMアレイとこれとは異なる第2種の情報を格納する第2のE² PROMアレイとが集積形成され、前記第1のE² PROMアレイ

イは、ゲート絶縁膜を介して電荷蓄積層と制御ゲートが積層され、前記電荷蓄積層と基板またはドレイン層との間の電荷の授受により電気的蓄積を可能としたメモリセルが複数個直列接続されて構成されたNANDセルが複数個マトリクス状に配列され、NANDセルの一端側のドレインがピット線に接続され、各メモリセルの制御ゲートがワード線に接続されて構成され、且つ前記基板上には前記第1のE² PROMの入力データまたは出力データを一時的に蓄えるシフトレジスタが搭載されていることを特徴とする不揮発性半導体メモリ装置。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は、電荷蓄積層と制御ゲートを有するMOSトランジスタ構造のメモリセルを用いて構成された電気的蓄積可能な不揮発性半導体メモリ装置 (E² PROM) に関する。

(従来の技術)

E² PROMの分野で、低荷重積層(例えは浮遊ゲート)と制御ゲートを持つMOSトランジスタ構造のメモリセルが広く知られている。このE² PROMのメモリアレイは、互いに交差する行線と列線の各交点位置にメモリセルを配置して構成される。実際のバターン上では、二つのメモリセルのドレインを共通にしてここに列線が接続されるようにしてセル占有面積をできる限り小さいものとしている。しかしこれでも、二つのメモリセルの共通ドレイン毎に列線とのコンタクト部を必要とし、このコンタクト部がセル占有面積の大きい部分を占めている。

これを解決する有望なものとして本出願人は、先にNANDセル構成のE² PROMを提案している(特願昭62-233944号)。このNANDセルは、浮遊ゲートと制御ゲートを有するメモリセルを、ソース、ドレインを共用する形で複数個直接接続して構成される。NANDセルはマトリクス配列されて、その一端側のドレイン

- 3 -

されたメモリセルのドレインまで伝達され、このメモリセルでは浮遊ゲートの電子がドレインに放出されてしまい値が負方向に移動した状態“1”(例えはしきい値-2V)のデータ書き込みが行われる。このとき、選択メモリセルよりピット線側のメモリセルでは制御ゲートと基板間に電界がかからず、消去状態を保つ。“0”書き込みの場合は、ピット線に中間電位例えは、11.5Vを与える。このとき選択メモリセルよりピット線側のメモリセルでは弱い消去モードになるが、これらは未だデータ書き込みがなされていないし、また境界が弱いため過剰消去になることはない。データ読み出しは、選択ワード線に0V、その他のワード線に例えは5Vを与えて、電流の有無を検出することにより行なう。“1”ならば電流が流れ、“0”ならば電流が流れない。

この様なNANDセル構成のE² PROMは、NANDセルを構成する複数のメモリセルについてピット線とのコンタクト部を一つ設ければよいので、従来の一般的なE² PROMに比べて、セ

- 5 -

はピット線に接続され、各メモリセルの制御ゲートはワード線に接続される。このNANDセルのデータ消去および書き込み動作は、浮遊ゲートとドレイン層または基板間の電子のトンネリングを利用してする。具体的に消去/書き込みの動作を説明する。データ消去は、全メモリセルのワード線に20V程度の“H”レベル電位を与えて、ピット線に“L”レベル電位例えは0Vを与える。これにより全てのメモリセルは導通し、その基板から浮遊ゲートに電子がトンネリングにより注入されてしまい値が正方向に移動した消去状態(例えはしきい値2V)となる。これが一括消去である。データ書き込みは、NANDセルのうちピット線から遠い方のメモリセルから順に行なう。このとき、ピット線には例えは23Vの“H”レベル電位が与えられ、選択されたメモリセルにつながるワード線に0Vが与えられ、非選択ワード線には23Vの“H”レベル電位が与えられる。既に書き込みが行われたメモリセルにつながるワード線は、0Vとする。これにより、ピット線の“H”レベル電位は選択

- 4 -

ル占有面積が小さくなるという利点を有するが、反面、NAND構成であるために読み出し時のセル電流が小さく、従って読み出しに時間がかかるという問題がある。これは特に、NANDセルを構成するメモリセル数を多くした場合に大きい問題である。今後従来のフロッピー・ディスクなどをこのE² PROMで置換しようとする場合には、必ずデータ読み出し時間の短縮が図られなければならないし、同時にデータ書き込み時間の短縮も要求される。

(発明が解決しようとする課題)

以上のように先に提案したNANDセル構成のE² PROMは、これを大規模化した時データの書き込み、読み出しを如何に高速に行うかが重要な解決課題となる。

本発明は、この様な問題を解決したNANDセル構成のE² PROMを提供することを目的とする。

- 6 -

【発明の構成】

(課題を解決するための手段)

本発明は、NANDセル構成のE² PROMにおいて、同じ基板上に入力データまたは出力データを一時蓄えるシフトレジスタを備えたことを特徴とする。

本発明はまた、基板上に第1種の情報を格納する第1のE² PROMアレイとこれとは異種の第2種の情報を格納する第2のE² PROMアレイを集積形成して構成されるE² PROMであって、前記第1のE² PROMアレイはNANDセル構成として、前記基板上に前記第1のE² PROMの入力データまたは出力データを蓄えるシフトレジスタを一体形成したことを特徴とする。

(作用)

本発明のE² PROMにおいては、データ書き込み、データ読み出しが外部との関係ではシフトレジスタにより行われるため、シフトレジスタでの並列／直列変換機能により書き込み時間、読み出し時間の大軒な短縮が図られる。

- 7 -

の選択MOSトランジスタS_{2n}(n=1~512)を介して接続される。各メモリセルの制御ゲートはピット線BLと交差するワード線WLに接続される。

第3図はその一つのNANDセルを示す平面図、第4図(a)(b)はそのA-A'、B-B'断面図である。p-型シリコン基板1の素子分離絶縁膜2で区画された領域に、前述のように4個のメモリセルと2個の選択トランジスタが形成されている。各メモリセルは、基板1上に熱酸化膜からなる第1ゲート絶縁膜3を介して第1層多結晶シリコン膜による浮遊ゲート4(4₁~4₈)が形成され、この上に第2ゲート絶縁膜5を介して第2層多結晶シリコン膜による制御ゲート6(6₁~6₈)を形成して構成されている。各メモリセルの制御ゲート6はそれぞれワード線WL(WL₁~WL₈)を構成している。メモリセルのソース、ドレインとなるn+型層9は隣接するものの間士で共用する形で4個のメモリセルが直列接続されている。そしてこの実施例では、ドレイ

- 9 -

(実施例)

以下、本発明の実施例を説明する。

第1図は、一実施例のE² PROMの全体構成を示すブロック図である。11はE² PROMアレイであり、12はセンスアンプ、13は行デコーダ、14は行アドレスバッファ、15は列デコーダ、17はデータインバッファ、18はデータアウトバッファである。行デコーダ15とデータインバッファ17およびデータアウトバッファ18の間に、入力データおよび出力データを一時蓄積するためのシフトレジスタ16が設けられている。これらの回路が一つのチップ基板上に集積形成されている。

第2図は、第1図のE² PROMアレイ11の等価回路図である。この実施例では、4つのメモリセルM₁~M₄が直列接続されてNANDセルを構成して、この様なNANDセルがマトリクス配列されている。NANDセルのドレインは第1の選択MOSトランジスタS_{1n}(n=1~512)を介してピット線BLに接続され、ソースは第2

- 8 -

ン側、ソース側に選択トランジスタS₁、S₃が接続されて一つのNANDセルを構成している。選択トランジスタS₁、S₃のゲート電極4₉、6₉および4₁₀、6₁₀はメモリセルの浮遊ゲートおよび制御ゲートを構成する第1層、第2層多結晶シリコン膜を同時にパターニングして得られ、電極4₉と6₉の間および電極4₁₀と6₁₀の間はワード線方向の所定間隔でコンタクトしている。全体はCVD絶縁膜7で覆われ、メモリセルに対して選択トランジスタS₁のドレインであるn+型層にコンタクトするピット線BLとしてのA1配線8が配設されている。

各メモリセルでの浮遊ゲート4と基板1間の結合容量C₁は、浮遊ゲート4と制御ゲート6間の結合容量C₂に比べて小さく設定されている。具体的な形状寸法を説明すれば、浮遊ゲート4および制御ゲート6は共にパターン幅1μm、従ってメモリセルのチャネル長が1μmであり、浮遊ゲート4は第4図(b)に示すようにフィールド領域上両側にそれぞれ1μmずつ延在させている。

- 10 -

第1ゲート絶縁膜3は200Åの熱酸化膜であり、第2ゲート絶縁膜5は350Åの熱酸化膜である。

この様なNANDセルは、第2図に示すようにピット線コンタクト、ソース拡散層を共用しながらピット線方向に折返しつつ繰返し配列されている。

第5図は、メモリセルM₁～M₄からなるNANDセルに着目した時の消去および書き込みの動作を説明するためのタイミング図である。先ず、NANDセルを構成するメモリセルM₁～M₄を一括して消去する。そのためにこの実施例では、選択トランジスタS₁のゲート電極SG₁に“H”レベル（例えば昇圧電位V_{pp}=20V）を与える。選択トランジスタS₂のゲート電極SG₂も“H”レベル（例えばV_{cc}=5V）とし、NANDセル内の全てのメモリセルのドレイン、ソースを0Vに保ち、ワード線WL₁～WL₄に“H”レベル（例えばV_{pp}=20V）を与える。これによりメモリセルM₁～M₄の制御ゲートとソース、ドレインおよび基板との間に境界がかかり、トンネ

— 11 —

M₄のドレインまで伝達され、メモリセルM₄では制御ゲートと基板間に高電界がかかる。この結果浮遊ゲートの電子はトンネル効果により基板に放出され、しきい値が負方向に移動して、例えばしきい値-2Vの状態“1”になる。このときメモリセルM₁～M₃では制御ゲートと基板間に境界がかからず消失状態を保つ。“0”書き込みの場合にはピット線BLに中間電位（例えば10V）を与える。次にメモリセルM₃の書き込みに移る。即ち選択ゲートSG₁、SG₂は“H”レベルに保ったまま、ワード線WL₃を“L”レベルとする。このときピット線BLに“H”レベルが与えられると、メモリセルM₃で“1”書き込みがなされる。以下同様に順次メモリセルM₂、M₁に書き込みを行う。

以上において、実施例のE² PROMを構成する基本NANDセルの構成と動作を説明した。次にこの様なNANDセルを用いたメモリアレイおよびその周辺回路を含む第1図の全体構成につき、その動作を説明する。なおこの実施例で

— 13 —

ル効果によって浮遊ゲートに電子が注入される。メモリセルM₁～M₄はこれによりしきい値が正方向に移動し、“0”状態となる。こうしてワード線WL₁～WL₄に沿う全てのNANDセルが一括消去される。

次にNANDセルへのデータ書き込みを行う。データ書き込みは、ピット線BLから遠い方のメモリセルM₄から順に行う。これは書き込み時、選択メモリセルよりピット線側にあるメモリセルが消去モードになるためである。先ずメモリセルM₄への書き込みは、第5図に示すように選択トランジスタS₁のゲートSG₁およびワード線WL₁～WL₃に昇圧電位V_{pp}+V_{th}（メモリセルの消去状態のしきい値）以上の“H”レベル（例えば23V）を印加する。選択メモリセルM₄の制御ゲートにつながるワード線WL₄と選択トランジスタS₂のゲート電極SG₂は“L”レベルとする。このときピット線BLに“H”レベルを与えるとこれは、選択トランジスタS₁およびメモリセルM₁～M₃のチャネルを通ってメモリセル

— 12 —

は、E² PROMアレイ11のピット線の本数を512本とし、シフトレジスタ16はこのピット線本数の4倍の容量を持つ。

第6図は、このE² PROMのページ・モードによるデータ消去および書き込みの動作を説明するタイミング図である。チップ・イネーブル信号CEが“L”レベルになって、E² PROMチップはアクティブになる。OEはアウトプット・イネーブル信号でこれが“H”レベルのとき書き込みモードである。WEは書き込みイネーブル信号であり、これが“H”レベルから“L”レベルになる時にアドレスを取込む。アドレスは、第2図に示されるメモリアレイの一つのブロックを指定する。SICは、シリアル・インプット・カウンタであり、これが“L”レベルから“H”レベルになる時に入力データを取込む。R/Bは、Ready/Busy信号であり、書き込み中はこれが“L”レベルとなって外部に書き込み中であることを知らせる。シリアル・インプット・カウンタSICの“H”レベル→“L”レベル→“H”レベルのサイクル

— 14 —

を 1 ページ分 (この実施例では、メモリアレイのビット線数 512 の 4 倍) の回数繰返すことにより、この 1 ページ分のデータはシフトレジスタ 16 に高速に取込まれる。シフトレジスタ 16 に一時記憶されたデータは同時にメモリアレイ 11 のビット線に転送され、アドレスで指定されたメモリセルに書き込みが行われる。

従ってこの実施例により、ページ・モードで 512×4 ビットのデータを書き込むに要する時間は、1 個の外部データを取込む時間を $1 \mu\text{sec}$ として、 512×4 個のデータを取込む時間 ($= 1 \mu\text{sec} \times 512 \times 4$) + 消去時間 ($10 \mu\text{sec}$) + 書込み時間 ($10 \mu\text{sec}$) $\approx 22 \mu\text{sec}$ となる。ちなみに、シフトレジスタ 16 がなく、ページ・モードを用いないで同じビット数のデータを書き込む場合には、書き込み時間および消去時間を共に $10 \mu\text{sec}$ として、 $512 \times 20 \mu\text{sec} \approx 41 \mu\text{sec}$ となる。こうしてこの実施例によれば、およそ 1850 倍の高速書き込みが可能になる。

第 7 図は、読み出し動作を説明するためのタイミング図

- 15 -

p チャネル MOS トランジスタ Q_4 がオフのときにはフリップフロップとして働き、これと逆の状態では 2 段のインバータ列である。

第 15 図は、このシフトレジスタのデータインパッファからのデータ入力動作を示すタイミング図である。 ϕ , $\bar{\phi}$ はシリアル・インプット・カウンタ信号 S I C からチップ内部で作られるクロック信号であり、例えば ϕ が “L” レベル, $\bar{\phi}$ が “H” レベルでのときデータインパッファからシフトレジスタの初段フリップフロップ FF_1 にデータが転送される。次に ϕ が “H” レベル, $\bar{\phi}$ が “L” レベルのとき、フリップフロップ FF_1 のデータがフリップフロップ FF_2 に転送される。以下同様にして順次データがシリアルに転送される。

第 16 図は、このシフトレジスタからデータアウトパッファへのデータ転送動作を示すタイミング図である。この場合のクロック ϕ , $\bar{\phi}$ は、シリアル・アウトプット・カウンタ信号 S O C からチップ内部で作られる。

- 17 -

ング図である。チップ・イネーブル \overline{CE} が “H” レベルから “L” レベルになる時にアドレスが取り込まれる。書き込み時一括して $E^2\text{ PROM}$ に書き込まれたデータは、書き込み時に入力した順と同じ順序でシリアル・アウトプット・カウンタ S O C が “L” レベルから “H” レベルになる時に一つずつ出力される。 R/\overline{B} はメモリセルから 512×4 個のデータをシフトレジスタ 16 に転送する時間 “L” レベルになり、出力待ちを外部に知らせる。多数ビットのデータがシフトレジスタ 16 に同時に並列に取り込まれ、これがシリアルに読み出されるから、シフトレジスタを設けない場合に比べてはるかに高速のデータ読み出しが行われる。

第 14 図 (a) (b) は、シフトレジスタ 16 の具体的な構成例とこれに用いるフリップフロップ FF (FF_1 , FF_2 , ...) の構成例である。フリップフロップ FF は、p チャネル MOS トランジスタ Q_1 と n チャネル MOS トランジスタ Q_2 がオンで、p チャネル MOS トランジスタ Q_3 と

- 16 -

こうしてこの実施例によれば、 $E^2\text{ PROM}$ 内にシフトレジスタを内蔵することにより、データ書き込みおよび読み出しを高速に行うことが可能になる。

第 8 図は、本発明の他の実施例の $E^2\text{ PROM}$ を示すブロック図である。この実施例は、フロッピー・ディスク等のような磁気記録媒体を $E^2\text{ PROM}$ で置換する場合を想定したもので、NAND セルで構成された。第 1 種の情報を記録する第 1 の $E^2\text{ PROM}$ アレイ 19 と、従来のメモリセル構成を用いた、第 2 種の情報を記録する第 2 の $E^2\text{ PROM}$ アレイ 27 が同一基板上に集積形成されている。第 1 の $E^2\text{ PROM}$ アレイ 19 の構成は先の実施例と同様である。この第 1 の $E^2\text{ PROM}$ アレイ 19 の周囲には出力を検出するセンスアンプ 20, 行デコード 23, 行アドレイバッファ 22, 列デコード 23 等が配置され、更に先の実施例と同様に入出力データを一時記憶するシフトレジスタ 24 が設けられている。第 2 の $E^2\text{ PROM}$ アレイ 27 の周囲には、セン

- 18 -

スアンプ 28、列アドレイバッファ 31、行デコーダ 29等が配置される。25はデータインバッファ、26はデータアウトバッファである。

第9図は、このように構成されたE² PROMでのデータ消去および書き込みの動作を説明するためのタイミング図である。チップ・イネーブル信号 \overline{CE} が“L”レベルのときこのE² PROMはアクティブになる。 \overline{OE} はアウトプット・イネーブル信号で、これが“H”レベルの時書き込みモードとなる。 \overline{DIRE} はディレクトリ・メモリ・イネーブル信号であり、これが“L”レベルの時第2のE² PROMアレイ27をアクセスする。 \overline{DIRE} が“L”レベルの時、書き込みイネーブル \overline{WE} が“H”レベルから“L”レベルになる時にアドレスを取り込み、“L”レベルから“H”レベルになる時に入力データを収込む。第2のE² PROMアレイ27には1バイトずつ消去および書き込みを行う。 \overline{DIRE} が“H”レベルのときは、第1のE² PROMアレイアレイ19をアクセスする。このときの動作は、先の実施例

— 19 —

であり、この実施例では1セクタが256バイトとなっている。

こうしてこの実施例によるE² PROMをフロッピーディスクを置換すれば、ディスト・ドライブ装置、ディスクドライブ・インターフェース等が不要となり、高速化、軽量小形化、省電力化が図られる。

第12図(a)(b)は、本発明をLSIメモリカードに適用した実施例の斜視図と平面図である。32は、第1図の実施例で説明したE² PROMチップであり、ここでは9このE² PROMチップ32を搭載している。これらのE² PROMチップ32に対して、第8図の実施例で示したE² PROMアレイ27に対応するディレクトリ・メモリ領域としてのE² PROMチップ33を1個搭載し、またこれらのメモリ・チップと外部とのインターフェースの働きをする制御用LSIチップ34を搭載している。35は接続端子である。第13図はこのLSIメモリカードのシステム構成である。

— 21 —

におけると同様である。

第10図は、読み出し動作を説明するためのタイミング図である。 \overline{DIRE} が“L”レベルの時、第2のE² PROMアレイ27がアクセスされ、 \overline{CE} が“H”レベルから“L”レベルになる時に、或いはアドレスが変化した時に読み出し動作を行う。出力データは1バイトずつ読み出される。 \overline{DIRE} が“H”レベルの時、第1のE² PROMアレイ19がアクセスされる。このときの第1のE² PROMアレイ19の動作は、先の実施例において説明したのと同様である。

この実施例によるE² PROMは、例えば計算機のソフトウェアを記憶保持するのに応用することができ、1バイトずつ消去・書き込みおよび読み出し動作を行う第2のE² PROMアレイ27は、ファイル情報を格納するメモリ領域(ディレクトリ・メモリ領域)であり、例えば第11図に示されるような内容を記憶させる。一括消去・書き込み・読み出しを行う第1のE² PROMアレイ19は、ファイル内容を格納するメモリ領域(データ領域)

— 20 —

この実施例によれば、高速で小形軽量、省電力のメモリカードが得られる。

【発明の効果】

以上述べたように本発明によれば、NANDセル構成のE² PROMチップにシフトレジスタを一体形成することにより、高速動作可能としたE² PROMを実現することができる。

4. 図面の簡単な説明

第1図は、本発明の一実施例のE² PROMの構成を示すブロック図、第2図はそのメモリアレイ構成を示す等価回路図、第3図はその一つのNANDセルを示す平面図、第4図(a)(b)は第3図のA-A'およびB-B'断面図、第5図は一つのNANDセルの消去および書き込み動作を説明するためのタイミング図、第6図はこの実施例のE² PROMの消去・書き込み動作を説明するためのタイミング図、第7図は同じく読み出し動作を説明するためのタイミング図、第8図は他の実施例のE² PROMを示すブロック図、第9図はその消去・書き込み動作を説明するためのタイミ

— 22 —

ング図、第10図は同じく読み出し動作を説明するためのタイミング図、第11図はそのディレクトリ・メモリ領域の構成例を示す図、第12図(a) (b)は本発明の更に他の実施例のメモリカードを示す斜視図と平面図、第13図はそのメモリカードのシステム構成図、第14図(a) (b)は、本発明に用いるシフトレジスタの具体的構成例とその構成要素を示す図、第15図はこのシフトレジスタへのデータ入力動作を説明するためのタイミング図、第16図は同じくデータ出力動作を説明するためのタイミング図である。

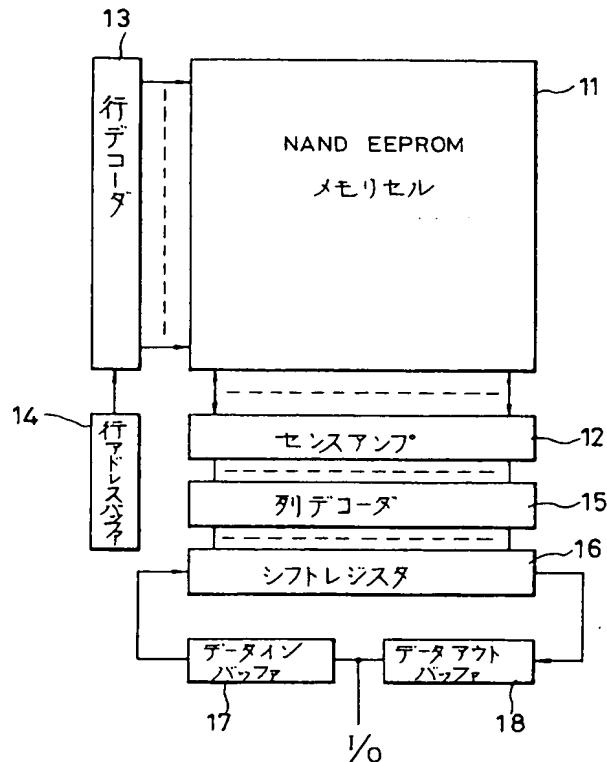
11…NANDセル型メモリセルアレイ、
12…センスアンプ、13…行デコーダ、14…
行アドレスバッファ、15…列デコーダ、16…
シフトレジスタ、17…データインバッファ、
18…データアウトバッファ、1…半導体基板、
2…素子分離絶縁膜、3, 5…ゲート絶縁膜、
4…浮遊ゲート、6…制御ゲート、7…CVD
絶縁膜、8…ピット線、9…n⁺型層、19…
第1のE² PROMアレイ、20…センスアンプ、

21…行デコーダ、22…行アドレスバッファ、
23…列デコーダ、24…シフトレジスタ、
25…データインバッファ、26…データアウト
バッファ、27…第2のE² PROMアレイ、
28…センスアンプ、29…行デコーダ、30…
列デコーダ、31…列アドレスバッファ。

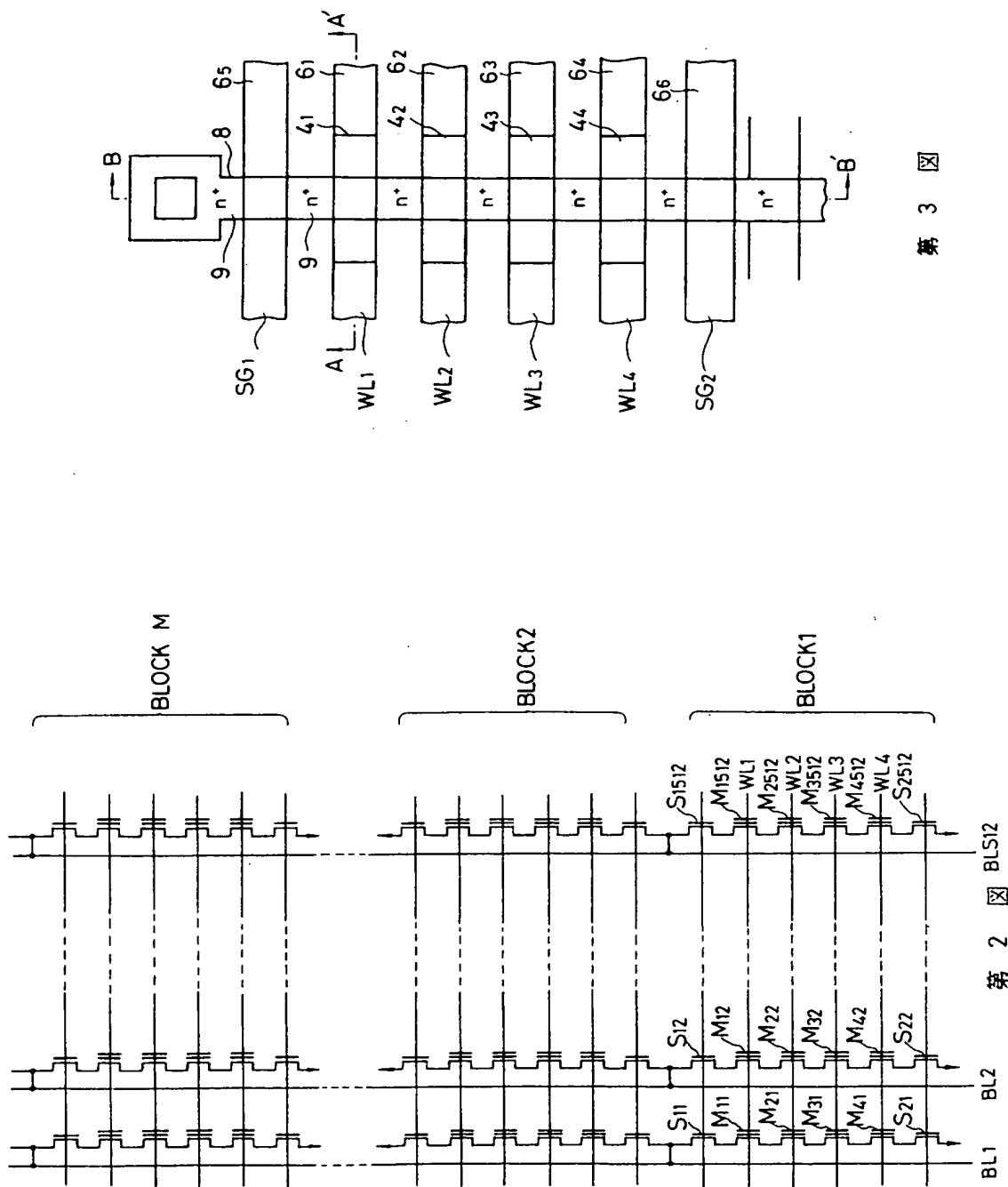
出願人代理人弁理士 鈴江武彦

- 23 -

- 24 -

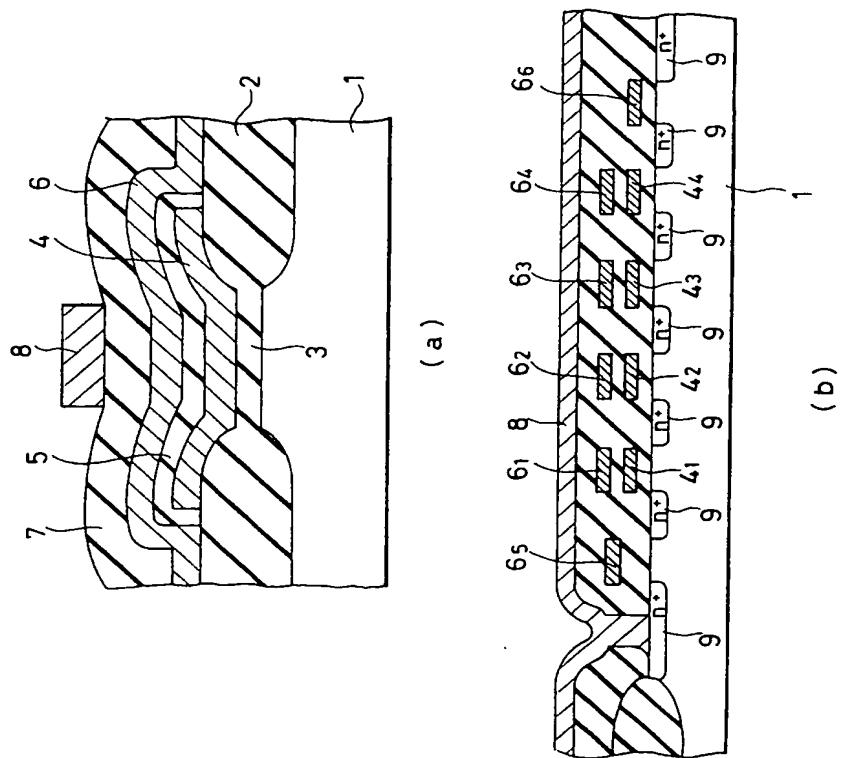
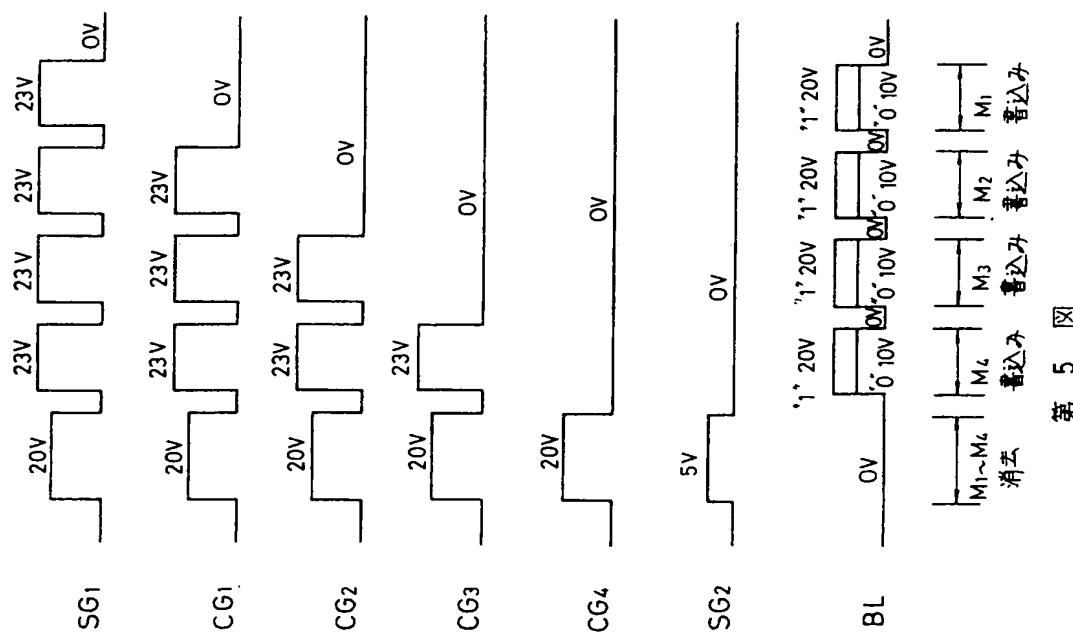


第1図



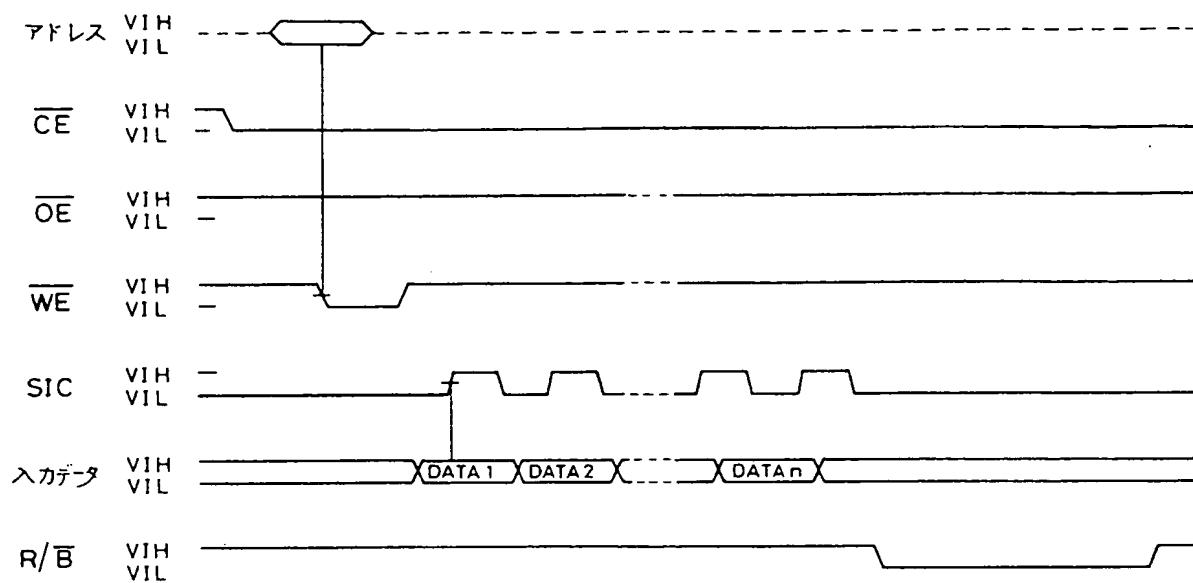
第 3 図

第 2 図 BL₅₁₂

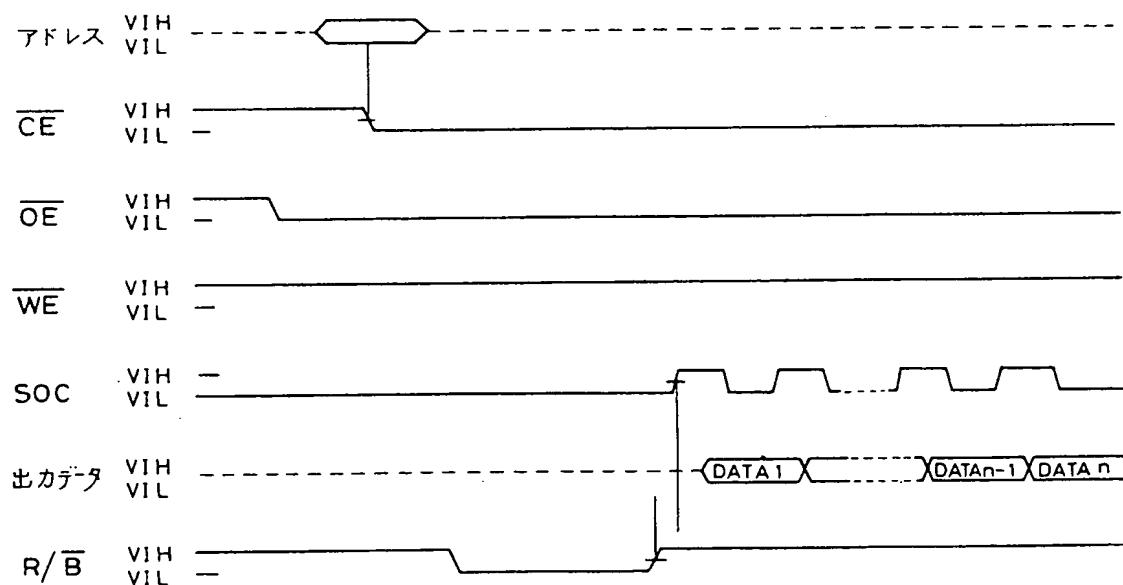


四四

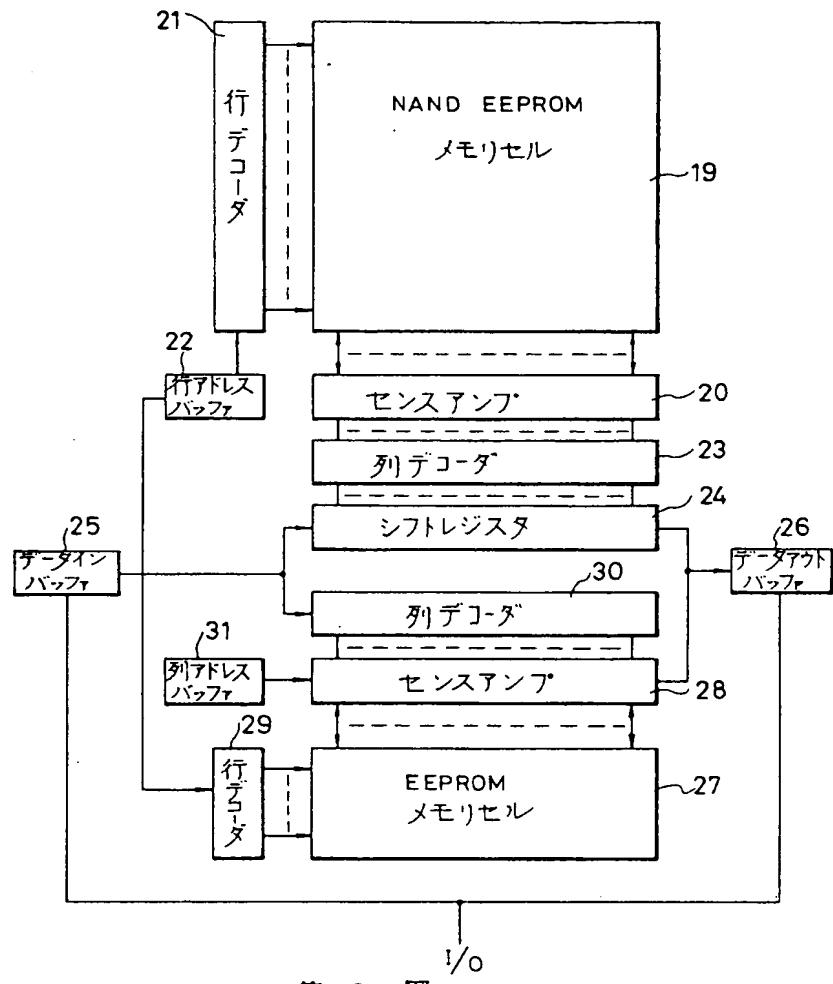
圖 5 等效電路圖



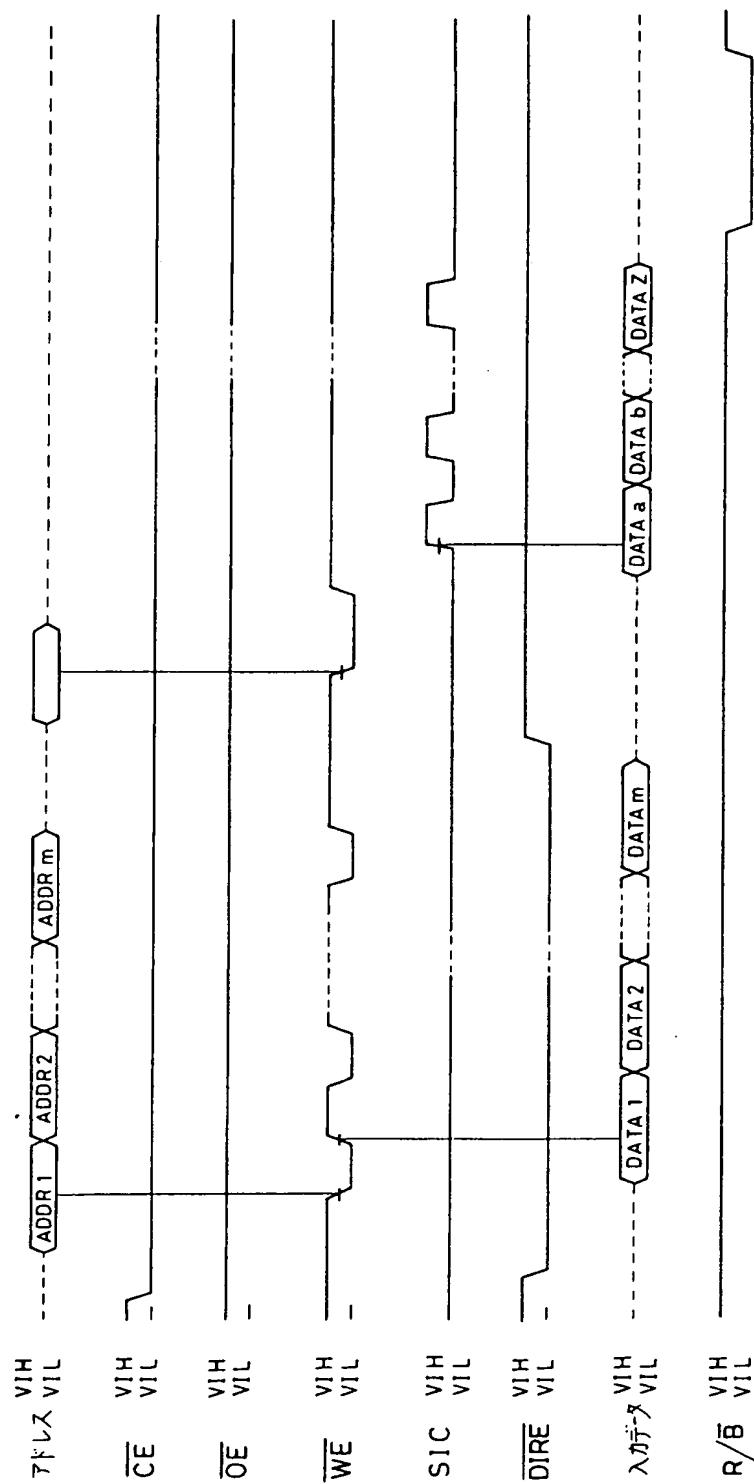
第 6 図



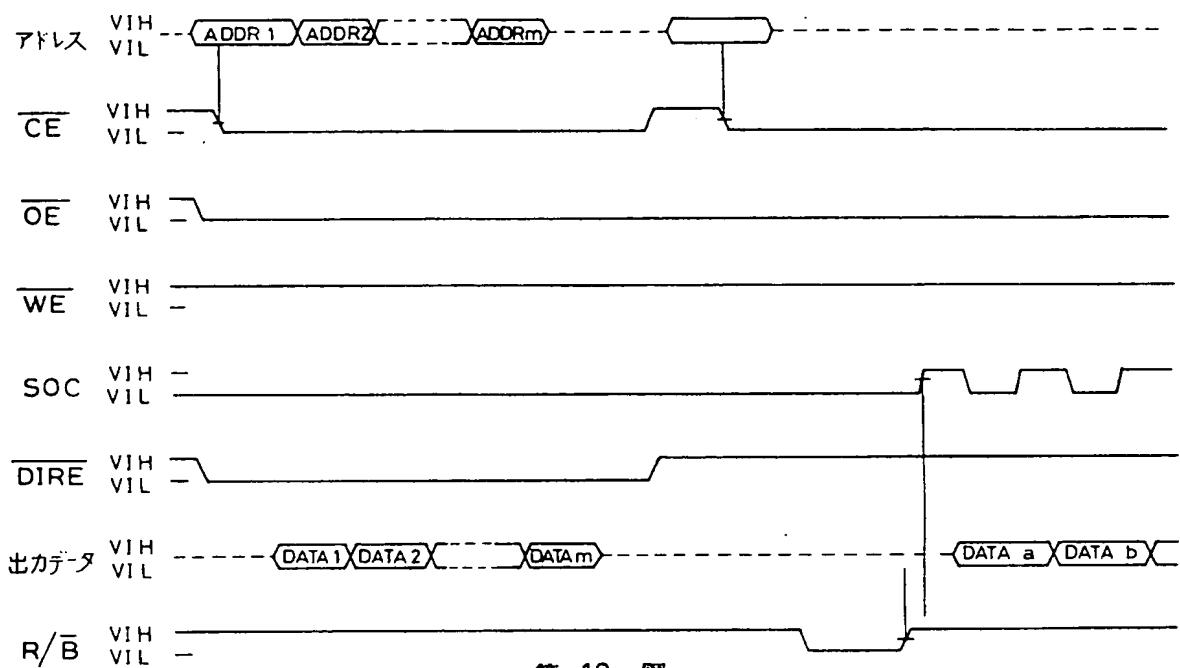
第 7 図



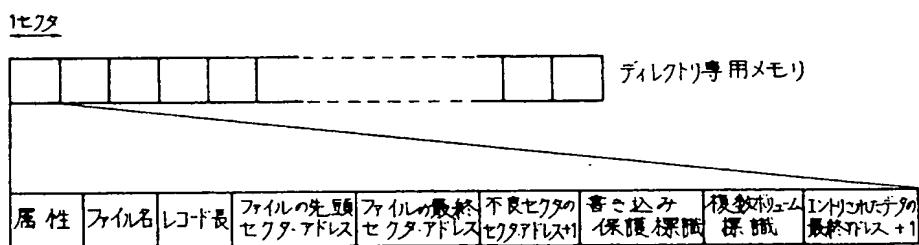
第 8 図



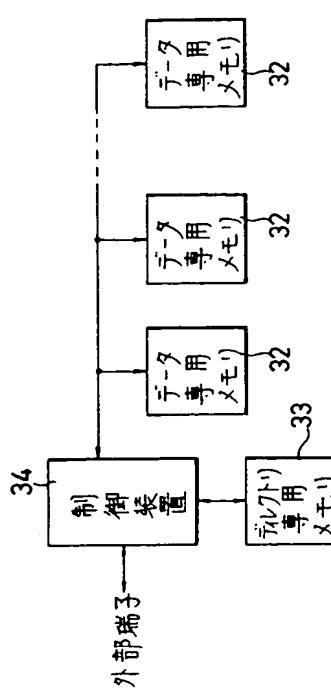
第 9 図



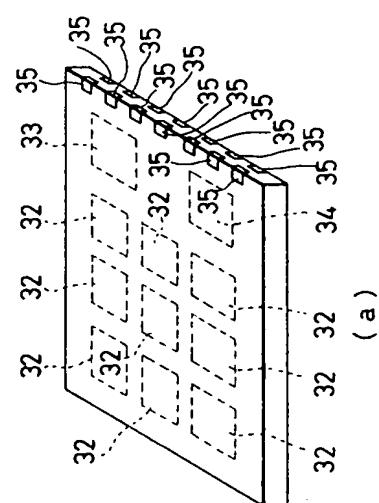
第 10 図



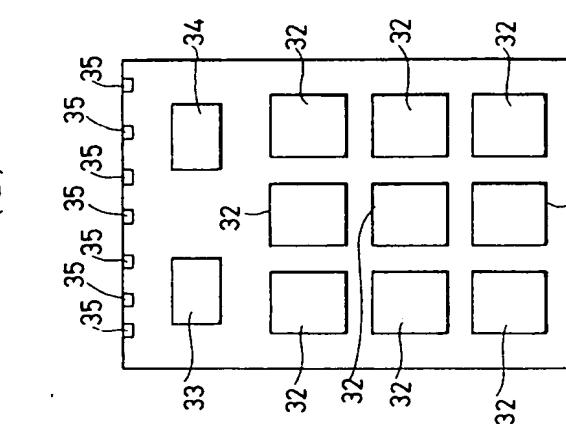
第 11 図



第13図

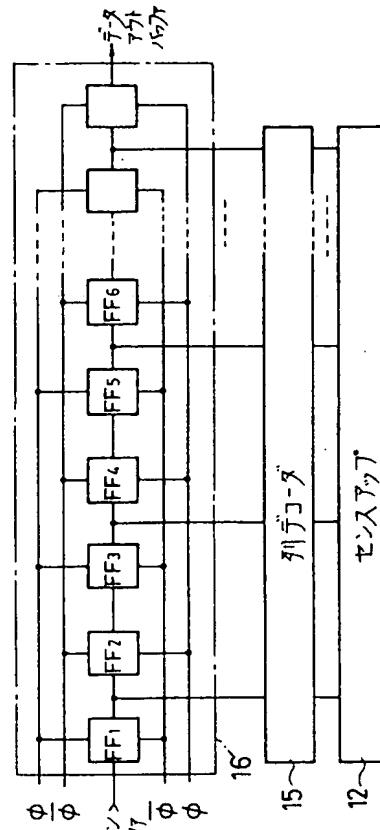


(a)

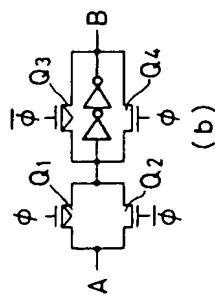
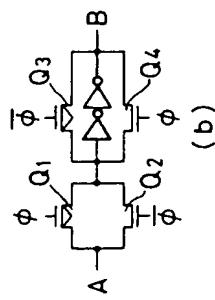


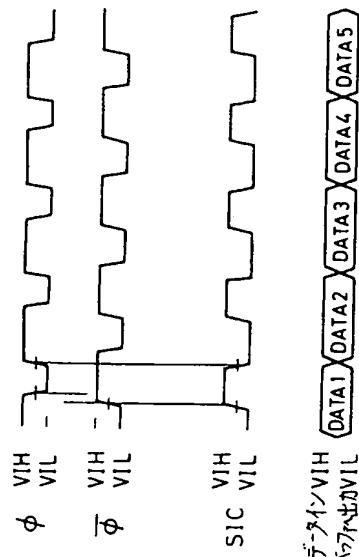
(b)

第12図

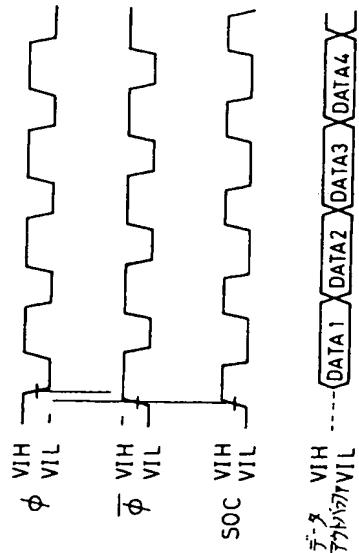


(a)





第 15 図



第 16 図

第1頁の続き

⑤Int. Cl. 5

G 11 C 17/12

識別記号

庁内整理番号

7341-5B G 11 C 17/00

304 A

⑦発明者 大平 秀子

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑦発明者 舛岡 富士雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

BLACK BORDERS

IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT OR DRAWING

BLURRED OR ILLEGIBLE TEXT OR DRAWING

SKEWED/SLANTED IMAGES

COLOR OR BLACK AND WHITE PHOTOGRAPHS

GRAY SCALE DOCUMENTS

LINES OR MARKS ON ORIGINAL DOCUMENT

REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.